

AO

2631
#y

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re patent application of

K. MIYANO

Serial No.: 09/836,480

Filed: April 18, 2001

For: DLL CIRCUIT

Assistant Commissioner of Patents
Washington, D.C. 20231

Docket No.: PNDF-01034

Group Art Unit: 2631

Examiner: Unknown

RECEIVED

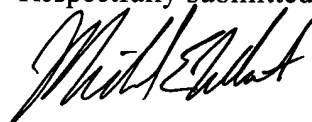
JUL 20 2001

SUBMISSION OF PRIORITY DOCUMENT Technology Center 2600

Sir:

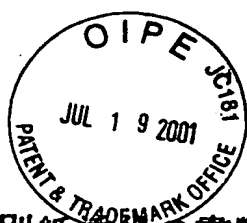
Submitted herewith is a certified copy of Japanese Application Number
2000-117007, filed on April 18, 2000, upon which application the claim for priority is
based.

Respectfully submitted,



Michael E. Whitham
Reg. No. 32,635

McGuire Woods, LLP
1750 Tysons Boulevard
Suite 1800
McLean, Virginia 22102
(703) 712-5000



日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

04

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 4月18日

出 願 番 号

Application Number:

特願2000-117007

出 願 人

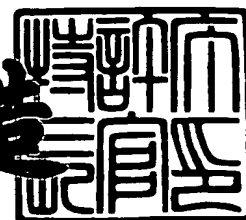
Applicant (s):

日本電気株式会社

2001年 3月 2日

特 許 庁 長 官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3015517

【書類名】 特許願
【整理番号】 74410391
【あて先】 特許庁長官殿
【国際特許分類】 H03L 7/00
H03K 5/26
G11C 11/407

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日
本電気株式会社内

【氏名】 宮野 和孝

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100082935

【弁理士】

【氏名又は名称】 京本 直樹

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100082924

【弁理士】

【氏名又は名称】 福田 修一

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100085268

【弁理士】

【氏名又は名称】 河合 信明

【電話番号】 03-3454-1111

【手数料の表示】

【予納台帳番号】 008279

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9115699

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 D L L 回路

【特許請求の範囲】

【請求項 1】 定電流源を備える機能ブロックとこの機能ブロックの定電流源を制御する定電流源用バイアス信号を発生するバイアス発生手段とを少なくとも含み、入力信号と所定の位相関係を有する位相同期信号を出力する D L L 回路であって、前記バイアス発生手段が前記入力信号の周波数に応じて前記バイアス信号を変化させるバイアス制御手段を有することを特徴とする D L L 回路。

【請求項 2】 バイアス発生手段が、所定の定電流に対応する 1 次バイアス信号を発生する第 1 のバイアス発生回路と、前記 1 次バイアス信号と入力信号の周波数に応じてバイアス制御手段が出力するバイアス補正信号に基づいて内部バイアス信号を発生する第 2 のバイアス発生回路を含む請求項 1 記載の D L L 回路。

【請求項 3】 バイアス制御手段が、入力信号の周波数を計測する計測手段と、この計測手段の計測結果に基づいてバイアス補正信号を出力する補正信号発生手段を含む請求項 1 または 2 に記載の D L L 回路。

【請求項 4】 バイアス制御手段が、所定の外部信号に基づいて入力信号の計数開始を制御する第 1 の計数制御信号を出力する制御回路と、前記第 1 の計数制御信号を入力し所定時間後に第 2 の計数制御信号を出力する計数制御手段と、前記第 1 の計数制御信号と前記第 2 の計数制御信号により前記入力信号の計数のそれぞれ開始と終了を制御する計数手段と、この計数手段の計数結果に基づいてバイアス補正信号を出力する補正信号発生手段を含む請求項 1 または 2 に記載の D L L 回路。

【請求項 5】 計数制御手段の出力信号が、1 次バイアス信号により制御される請求項 4 記載の D L L 回路。

【請求項 6】 計数制御手段は、P M O S、第 1 の N M O S、第 2 の N M O S、容量素子及び比較回路を含み、前記 P M O S のソース電極端子は電源端子に接続され、前記 P M O S のドレイン電極端子は前記第 1 の N M O S のドレイン電極端子、前記容量素子の第 1 の電極端子及び前記比較回路の第 1 の入力端子と共

通接続され、前記第 1 の NMOS のソース電極端子は前記第 2 の NMOS のドレイン電極端子と共通接続され、前記第 2 の NMOS のソース電極端子は前記容量素子の第 2 の電極端子と共に接地端子に接続され、前記 PMOS 及び前記第 1 の NMOS それぞれのゲート電極端子は制御回路の第 1 の計数制御信号を出力する出力端子に共通接続され、前記第 2 の NMOS のゲート端子は第 1 のバイアス発生回路の 1 次バイアス出力端子に接続され、前記比較回路の第 2 の入力端子は所定の電位の参照信号端子に接続され、前記比較回路の出力端子から第 2 の計数制御信号を出力する請求項 4 または 5 に記載の DLL 回路。

【請求項 7】 入力信号と所定の位相関係を有する位相同期信号を出力する DLL 回路であって、入力信号に基づいて互いに位相の異なる m (m は 2 以上の整数) 個の移相処理信号を生成する移相手段と、前記入力信号と前記位相同期信号の位相を比較して位相差を検出し、検出した前記位相差に基づいて位相制御信号を出力する位相比較手段と、前記移相手段で生成された前記 m 個の移相処理信号と前記位相制御信号に基づいて前記入力信号と所定の位相関係を有する位相補正済み信号を出力する位相合成手段と、この位相補正済み信号のデューティを補正して前記位相同期信号を出力する第 1 のデューティ補正手段を含む請求項 1 乃至 7 いずれか 1 項に記載の DLL 回路。

【請求項 8】 入力信号のデューティを補正し、デューティ補正済み信号を出力する第 2 のデューティ補正手段を更に含み、前記デューティ補正済み信号を移相手段に入力するようにした請求項 7 記載の DLL 回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、入力信号と所定の位相関係を有する位相同期信号を出力する DLL (Delay Locked Loop) 回路 (ディレイ・ロックド・ループ回路) に関し、特に入力信号の周波数が低周波になったとき、安定動作を維持しながら消費電力を効率よく低減できる DLL 回路に関する。

【0002】

【従来の技術】

図7は、特開平9-17179号公報（以下、公知例1とする）に開示されたDLL回路の構成を示すブロック図である。

【0003】

この公知例1に開示されたDLL回路は、周波数 f の入力クロック601に対して、相互に90度ずつ位相の異なる4相クロックを発生する4相基本クロック発生回路541と、入力クロック601と出力クロック603の位相関係を検出する位相検出回路542と、位相検出回路542より出力される制御信号608及び609の入力を受けて、これらの制御信号の入力レベルに対応して位相調整量が一定量ずつ増減される信号614及び615を出力する位相調整量決定回路544と、4相基本クロック発生回路541より出力される信号610～613の入力を受けて、これらの信号をミキシングし、位相調整量決定回路544より出力される信号614及び615に応じて、位相シフトを実行する位相シフト回路543と、位相シフト回路543より出力される信号616及び617を入力して、周波数 f の出力クロック603として出力する出力回路545とを備えて構成される。尚、位相検出回路542は、位相判定回路511と、位相判定回路511の出力信号のレベルを調整するレベルシフト回路513により構成されている。

【0004】

また、図8は特表平9-512966号公報（以下、公知例2とする）に開示されているDLL回路の構成を示すブロック図である。

【0005】

この公知例2に開示されているDLL回路は、入力された基準クロック信号のデューティ・サイクルを補正してデューティ・サイクル補正済み信号を出力するデューティ・サイクル補正増幅器700と、このDLL回路の出力クロック信号の位相と基準クロック信号の位相を比較し、出力クロック信号の位相が基準クロック信号の位相よりも進んでいるか遅れているかを示す信号を生成し出力する位相検出器710と、位相検出器700の出力信号により駆動されその出力信号に応じた出力電流を生成するチャージ・ポンプ720（好ましくは差動チャージ・ポンプ）と、デューティ・サイクル補正済み信号、位相検出器710からの出力

信号及びチャージ・ポンプ720からの出力電流が入力され、デューティ・サイクル補正済み信号を位相検出器710の出力信号が示す方向へ移相し位相補正済み信号を出力するフェーズシフタ730と、このフェーズシフタ730から出力された位相補正済み信号と出力クロック信号を入力して出力クロック信号のデューティ・サイクルが所望の値になるように補正する第2のデューティ・サイクル補正増幅器740と出力クロック信号が所定の振幅になるように増幅するバッファ増幅器750を含み構成されている。

【0006】

【発明が解決しようとする課題】

DLL回路には、入力信号の遅延を調整してデジタル的に位相制御する方式によるものと、入力信号から発生させた互いに位相の異なる m 個（ m は2以上の整数）の信号を合成してアナログ的に位相制御する方式によるものの2通りがある。

【0007】

DLL回路が使用される代表的なデバイスの例として、シンクロナスDRAMがある。シンクロナスDRAMのうち、特に相補クロック信号に同期して動作するダブルデータレート（DDR）方式をとるデバイスの動作制御は、一定範囲のデューティをもつ信号で行われ、基準クロック信号の1サイクルあるいは半サイクル単位以外のタイミング信号も必要とする。

【0008】

デジタル的に位相制御するDLL回路では、基準クロック信号を遅延して所望のタイミングを発生するため、基準クロック信号の1サイクルあるいは半サイクル単位以外のタイミング発生が難しい。

【0009】

したがって、DDR方式のシンクロナスDRAMのように、基準クロック信号の1サイクルあるいは半サイクル単位以外のタイミング信号も必要とするデバイスでは、上述の公知例1，2に示されるようなアナログ的に位相制御するDLL回路を使用するのが一般的である。

【0010】

しかし、アナログ的に位相制御するDLL回路には、動作周波数を下げても消費電流が減らないという問題がある。

【0011】

すなわち、デジタル的に位相制御する方式のDLL回路では、CMOSトランジスタで回路を構成するため、動作周波数を下げると消費電流も下がる。

【0012】

これに対し、アナログ的に位相制御する方式のDLL回路では、公知例2に開示されているように定電流源を備えた差動型増幅回路を用いて所望のタイミング信号を発生する。例えば、図9、図10は、公知例2に開示されているDLL回路の主な構成要素である位相検出器とデューティ・サイクル補正増幅器の、より具体的な回路図である。また、図11、12は公知例2に開示されているDLL回路の他の構成要素であるフェーズ・シフタ及びこのフェーズ・シフタに含まれる位相補間器のブロック図である。図9～図12に示されるとおり、これらはいずれも定電流源を備えた差動型増幅回路が用いられている。

【0013】

一般に、差動型増幅回路の定電流源の電流値は、高速動作を実現するために最高動作速度に見合う大きな値に固定される。したがって、動作周波数を下げても消費電流は減らない。

【0014】

このような差動型増幅回路が多用されたDLL回路を最高動作速度に比べて十分低い速度で使用する場合、各差動型増幅回路の定電流源の電流値をかなり小さくしても動作可能であるが、従来のDLL回路は、内蔵する各差動型増幅回路の定電流源の電流値を、動作速度（DLL回路への入力信号周波数）に応じて自動的に変化させる手段を備えていなかった。このため、高い入力信号周波数に対応できる従来のDLL回路を、低い入力信号周波数の場合にも共用しようとすると、無駄な消費電力が発生してしまうという問題があった。

【0015】

本発明は、内蔵する各差動型増幅回路の定電流源の電流値を入力信号周波数に応じて自動的に変化させ、広い入力信号周波数に対応しながら、入力信号周波数

に応じて消費電力を低減できるDLL回路を提供しようとするものである。

【0016】

【課題を解決するための手段】

本発明のDLL回路は、定電流源を備える機能ブロックとこの機能ブロックの定電流源を制御する定電流源用内部バイアス信号を発生するバイアス発生手段とを少なくとも含み、入力信号と所定の位相関係を有する位相同期信号を出力するDLL回路であって、前記バイアス発生手段が前記入力信号の周波数に応じて前記内部バイアス信号を変化させるバイアス制御手段を備えている。

【0017】

このとき、バイアス発生手段は、所定の定電流に対応する1次バイアス信号を発生する第1のバイアス発生回路と、前記1次バイアス信号と入力信号の周波数に応じてバイアス制御手段が出力するバイアス補正信号に基づいて内部バイアス信号を発生する第2のバイアス発生回路を含むように構成することができる。

【0018】

また、このバイアス制御手段は、入力信号の周波数を計測する計測手段と、この計測手段の計測結果に基づいてバイアス補正信号を出力する補正信号発生手段を含み構成することができる。

【0019】

また、他のバイアス制御手段は、所定の外部信号に基づいて入力信号の計数開始を制御する第1の計数制御信号を出力する制御回路と、前記第1の計数制御信号を入力し所定時間後に第2の計数制御信号を出力する計数制御手段と、前記第1の計数制御信号と前記第2の計数制御信号により前記入力信号の計数のそれぞれ開始と終了を制御する計数手段と、この計数手段の計数結果に基づいてバイアス補正信号を出力する補正信号発生手段を含み構成することもできる。

【0020】

このとき、計数制御手段の出力信号は、1次バイアス信号により制御できるようにしてもよい。

【0021】

尚、入力信号と所定の位相関係を有する位相同期信号を出力するDLL回路の

構成としては、入力信号に基づいて互いに位相の異なる m (m は 2 以上の整数) 個の移相処理信号を生成する移相手段と、前記入力信号と前記位相同期信号の位相を比較して位相差を検出し、検出した前記位相差に基づいて位相制御信号を出力する位相比較手段と、前記移相手段で生成された前記 m 個の移相処理信号と前記位相制御信号に基づいて前記入力信号と所定の位相関係を有する位相補正済み信号を出力する位相合成手段と、この位相補正済み信号のデューティを補正して前記位相同期信号を出力する第 1 のデューティ補正手段を含むのが好ましい。

【 0 0 2 2 】

このとき、入力信号のデューティを補正し、デューティ補正済み信号を出力する第 2 のデューティ補正手段を更に含み、前記デューティ補正済み信号を移相手段に入力するようにしてもよい。

【 0 0 2 3 】

【発明の実施の形態】

次に、本発明について、図を参照して説明する。

【 0 0 2 4 】

図 1 は、本発明の第 1 の実施形態の D L L 回路を説明するための図で、(a)、(b) はそれぞれ D L L 回路 1 0 0 の概略構成と、この D L L 回路 1 0 0 に含まれるバイアス発生手段 2 0 0 の概略構成を示すブロック図である。

【 0 0 2 5 】

図 1 を参照すると、本実施形態の D L L 回路 1 0 0 は、入力信号 3 0 0 に基づいて、例えば等間隔の位相差 (4 5 度) の 8 個の移相処理信号 3 1 0 を生成する移相手段 1 2 0 と、入力信号 3 0 0 と出力からのフィードバック信号 3 3 0 の位相を比較して位相差を検出し、この検出した位相差に基づいて位相制御信号 3 4 0 を出力する位相比較手段 1 4 0 と、移相手段 1 2 0 で生成された 8 個の移相処理信号 3 1 0 と位相制御信号 3 4 0 に基づいて入力信号 3 0 0 と所定の位相関係を有する位相補正済み信号 3 2 0 を出力する位相合成手段 1 6 0 と、この位相補正済み信号 1 6 0 のデューティを所定のデューティ (例えは、4 9 % ~ 5 1 %) になるように補正して位相同期信号 4 0 0 を出力する第 1 のデューティ補正手段 1 7 0 を含み構成されている。

【0026】

これらの各手段は、いずれも定電流源を備えた差動型増幅回路を有する機能ブロックからなり、DLL回路300はこれらの定電流源の電流値を制御するバイアス信号390を生成し各定電流源に供給するバイアス発生手段200を更に備えている。

【0027】

また、バイアス発生手段200は、各差動型増幅回路の定電流源の電流値がこのDLL回路100への入力信号300の周波数が最大るとき各差動型増幅回路が正常に動作する所定の電流値 I_{sl} になるような1次バイアス信号392を発生する第1のバイアス発生回路250と、入力信号300の周波数に応じて1次バイアス信号392を補正するバイアス補正信号380を出力するバイアス制御手段210と、1次バイアス信号392とバイアス補正信号380に基づいて入力信号300の周波数で各差動型増幅回路が動作可能な定電流源の電流値となる内部バイアス信号395を発生する第2のバイアス発生回路270を含み構成されている。

【0028】

更に、バイアス制御手段210は、外部からのパワーオン信号やリセット信号等のトリガー信号302に基づいて第1の計数制御信号304、305、306を出力する制御回路212と、第1の計数制御信号304を入力し1次バイアス信号392に依存して定まる所定時間後に第2の計数制御信号308を出力する計数制御手段220と、第1の計数制御信号305により入力信号300の計数を開始し、第2の計数制御信号308で入力信号300の計数を終了して計数結果信号370を出力する計数回路214と、この計数結果信号370に基づいてバイアス補正信号380を出力する補正信号発生手段216とを含み構成されている。

【0029】

次に、第1のバイアス発生回路250と第2のバイアス発生回路270について説明する。

【0030】

図2は、図1(b)の第1及び第2のバイアス発生回路250、270の具体的な回路の一例を示す回路図である。

【0031】

図2を参照すると、本実施形態のDLL回路100に含まれる第1のバイアス発生回路250は、例えば2個のPMOS11、12と抵抗素子1とダイオード2とNMOS51で構成され、次のように接続されている。

【0032】

PMOS11、12それぞれのソース電極端子はいずれも電源端子（以下、VDDとする）に接続され、PMOS11、12それぞれのゲート電極端子とPMOS11のドレイン電極端子及び抵抗素子1の第1の電極端子が共通接続され、抵抗素子1の第2の電極端子とダイオード2のアノード電極端子とが共通接続され、ダイオード2のカソード電極端子は接地端子（以下、GNDとする）に接続され、PMOS12のドレイン電極端子と第1のバイアス発生回路250の出力端子81とNMOS51のドレイン電極端子及びNMOS51のゲート電極端子とが共通接続され、NMOS51のソース電極端子は接地端子に接続されている。尚、PMOS11、12でカレントミラーを構成し、PMOS11、12に所定の電流値 I_{s1} の定電流が流れるように抵抗素子1の抵抗値が設定されている。この第1のバイアス発生回路250からは、電流値 I_{s1} の定電流とNMOS51で定まる1次バイアス信号392が出力される。

【0033】

次に、第2のバイアス発生回路270は、例えば8個のPMOS13～20と7個のNMOS52～58とで構成され、次のように接続されている。

【0034】

6個のPMOS13～18からなる電流調整PMOS群の各ソース電極端子とPMOS19のドレイン電極端子とPMOS19、20の各ゲート電極端子とが全て共通接続され、PMOS19、20の各ソース電極端子はいずれもVDDに接続され、電流調整PMOS群の各ドレイン電極端子と6個のNMOS52～57からなる電流調整NMOS群の各ドレイン電極端子とがそれぞれPMOS13とNMOS52、PMOS14とNMOS53、PMOS15とNMOS54、

PMOS 16とNMOS 55, PMOS 17とNMOS 56及びPMOS 18とNMOS 57の各組み合わせで共通接続され、電流調整NMOS群の各ゲート電極端子は第1のバイアス発生回路250の出力端子81に接続され、電流調整NMOS群の各ソース電極端子は全てGNDに接続され、PMOS 20のドレイン電極端子とNMOS 58のドレイン電極端子及びゲート電極端子と第2のバイアス発生回路270の出力端子82とが共通接続され、NMOS 58のソース電極端子はGNDに接続されている。また、電流調整PMOS群の各ゲート電極端子13G~18Gは、図1(b)の補正信号発生手段216の対応する出力信号端子に接続され、それぞれバイアス補正信号381~386が入力されるようになっている。

【0035】

尚、6組のトランジスタ対群、PMOS 13とNMOS 52, PMOS 14とNMOS 53, PMOS 15とNMOS 54, PMOS 16とNMOS 55, PMOS 17とNMOS 56及びPMOS 18とNMOS 57の各トランジスタのサイズは、電流調整NMOS群の各ゲート電極に1次バイアス信号392が印加されてそれぞれが導通状態となり、電流調整PMOS群の各ゲート電極に低レベル信号が印加されて導通状態になったとき、PMOS 13とNMOS 52, PMOS 14とNMOS 53, PMOS 15とNMOS 54, PMOS 16とNMOS 55, PMOS 17とNMOS 56及びPMOS 18とNMOS 57の各組の経路を流れる電流値をそれぞれI1~I6とすると、例えば

$$I1 : I2 : I3 : I4 : I5 : I6 = 1 : 2 : 4 : 8 : 16 : 32$$

且つ $I6 = Is1$ となるように設定されている。具体的には、例えばNMOS 51~57のゲート幅(W)をそれぞれWn0, Wn1, Wn2, Wn3, Wn4, Wn5, Wn6とすると、 $Wn0 = Wn6$ 且つ、

$$I1 : I2 : I3 : I4 : I5 : I6 = Wn1 : Wn2 : Wn3 : Wn4 : Wn5 : Wn6$$

と設定することで実現できる。

【0036】

例えば、 $Wn0 = 320 \mu m$ とすると、Wn0, Wn1, Wn2, Wn3, Wn4, Wn5, Wn6をそれぞれ10, 20, 40, 80, 160, 320 μm とすればよい。

【0037】

尚、このときPMOS13～18のゲート幅は、NMOS51～57にそれぞれ設定された値の電流を流すだけの能力があればよいので、例えばNMOS51のゲート幅 W_{n0} とほぼ同等にしておけばよい。

【0038】

PMOS19, 20でカレントミラーを構成し、PMOS19, 20それぞれを流れる定電流の電流値 I_{s2} は、上述の6組のトランジスタ対群の中で、補正信号発生手段216から低レベル信号が入力されたPMOSを含むトランジスタ対の電流値の和となる。第2のバイアス発生回路270からは、電流値 I_{s2} の定電流とNMOS58で定まる内部バイアス信号395が出力される。

【0039】

従って、1次バイアス信号392を出力する出力トランジスタとなっている第1のバイアス発生回路250のNMOS51及び内部バイアス信号395を出力する出力トランジスタとなっている第2のバイアス発生回路270のNMOS58とDLL回路100に含まれる各定電流源トランジスタのサイズを同じにしておけば、1次バイアス信号392が入力された定電流源トランジスタには電流値 I_{s1} の定電流を、内部バイアス信号395が入力された定電流源トランジスタには電流値 I_{s2} の定電流を、それぞれ流すことができる。

【0040】

次に、計数制御手段220の構成について説明する。

【0041】

図3は計数制御手段220の具体的な回路の一例を示す回路図である。

【0042】

図3を参照すると、計数制御手段220は、例えばPMOS21, 第1のNMOS61, 第2のNMOS62, 容量素子5及び比較回路10で構成され、次のように接続されている。

【0043】

PMOS21のソース電極端子はVDDに接続され、PMOS21のドレイン電極端子と第1のNMOS61のドレイン電極端子と比較回路10の第1の入力

端子 83 と容量素子 5 の第 1 の電極端子とが共通接続点 91 で共通接続され、PMOS 21 と第 1 の NMOS 61 の各ゲート電極端子が共通接続点 92 で共通接続され、第 1 の NMOS 61 のソース電極端子と第 2 の NMOS 62 のドレイン電極端子とが共通接続され、第 2 の NMOS 62 のソース電極端子と容量素子 5 の第 2 の電極端子とは GND に接続され、第 2 の NMOS 62 のゲート電極端子 62G は第 1 のバイアス発生回路 250 の出力端子 81 と接続され 1 次バイアス信号 392 が入力されるようになっている。また、PMOS 21 と第 1 の NMOS 61 の各ゲート電極端子が共通接続されている共通接続点 92 は、制御回路 212 の第 1 の計数制御信号 304 を出力する出力端子（図示せず）と接続されている。また、比較回路 10 の第 2 の入力端子 84 は、所定の電位 V_{ref0} （通常、1V 程度）の参照信号端子（図示せず）と接続されている。

【0044】

尚、図 13 はこの計数制御手段 220 に関連する主な信号を説明する図で、（a）、（b）、（c）及び（d）は、それぞれ第 1 の計数制御信号 304、共通接続点 91 の電位 V_{ct} 、第 2 の計数制御信号 308 及び図 1（b）の計数結果信号 370 の模式的なタイミングチャートである。

【0045】

次に、計数回路 214 と補正信号発生手段 216 について、概要を簡単に説明する。図 4 は、計数回路 214 と補正信号発生手段 216 を説明するための図で、（a）、（b）はそれぞれ概略ブロック図と、計数回路 214 の計数結果と第 2 のバイアス発生回路 270 の PMOS 19 を流れる電流値 I_{s2} との関係の一例を示すグラフである。

【0046】

尚、ここでは、計数回路 214 が 6 ビットカウンタで構成されており、DLL 回路 100 に含まれる差動型増幅回路が正常動作できる最小電流値 I_{min} が $I_{s1}/4$ であるとする。

【0047】

図 4 を参照すると、本実施形態の計数回路 214 は、制御回路 212 から第 1 の計数制御信号 305 を受けて入力信号 300 の計数を開始し、計数制御手段 2

20から第2の計数制御信号308を受けて入力信号300の計数を停止し、計数結果を6ビットの計数結果信号370として出力する。

【0048】

次に、補正信号発生手段216は、この計数回路214から出力された計数結果信号370を受けて、所定の判定処理を行い、バイアス補正信号380を第2のバイアス発生回路270に出力する。補正信号発生手段216のバイアス補正信号380を出力する出力端子（図示せず）は、最下位ビット（LSB）信号381～最上位ビット（MSB）信号386の各ビット信号を出力する端子がそれぞれ第2のバイアス発生回路270のゲート電極端子13G～18Gと接続されており、PMOS13～PMOS18の各ゲート電極にそれぞれ対応するバイアス補正信号が入力されて、PMOS19を流れる電流値 I_{s2} が補正される。

【0049】

判定処理の具体的内容は、計数結果に基づいて補正した結果、PMOS19を流れる電流値 I_{s2} が、上述のDLL回路100に含まれる差動型増幅回路が正常動作できる最小電流値 I_{min} 以上の場合は、計数結果信号370をそのままバイアス補正信号380として出力し、 I_{s2} が I_{min} を下回る場合は、計数結果と関係なくPMOS19を流れる電流が I_{min} 以上の最小値となるようなバイアス補正信号380を出力する。ここの例では、計数結果が“8”以上であれば計数結果信号370をそのままバイアス補正信号380として第2のバイアス発生回路270に出力し、計数結果が“8”未満の場合は、計数結果を一律に“8”としてバイアス補正信号380を発生し、第2のバイアス発生回路270に出力する。（本実施形態の例では、ビット信号384が低レベル信号で、他のビット信号381～383, 385, 386は高レベル信号となる。）すなわち、計数回路214の計数結果と第2のバイアス発生回路270のPMOS19を流れる電流値 I_{s2} の関係は、図4（b）のグラフのようになる。

【0050】

次に、図1～図4及び図13を参照して、本発明の特徴部分であるバイアス発生手段200の動作について説明する。

【0051】

まず、DLL回路100に電源が投入されると、制御回路212はその出力信号を受ける回路や手段の構成に応じた所定のレベルの信号を出力するようにしておく。本実施形態の場合、少なくとも第1の計数制御信号304を出力する端子からは低レベルの信号が出力される。これにより、計数制御手段220のPMOS21がオン、第1のNMOS61がオフし、容量素子5が電源電圧(V_{dd})まで充電される。

【0052】

次に、制御回路212にリセット信号等の所定のトリガー信号302が入力されると第1の計数制御信号304、305、306が出力される。本実施形態では、少なくとも第1の計数制御信号304は高レベルの信号を出力する。

【0053】

本実施形態の計数回路214は6ビットカウンタで構成されているものとし、第1の計数制御信号305を受けて入力信号300の計数を開始する。また、補正信号発生手段216は、第1の計数制御信号306を受けて、内部バイアス信号395が1次バイアス信号392と等しくなるようなバイアス補正信号380を生成し、第2のバイアス発生回路270に送出する。ここでは、計数結果が“32”に相当するバイアス補正信号380(MSB信号386のみが低レベルで、他のビット信号381~385は全て高レベル)が送出される。

【0054】

計数制御手段220は、高レベルの第1の計数制御信号304を受けると、PMOS21がオフし、第1のNMOS61がオンする。第2のNMOS62のゲート電極端子62Gは第1のバイアス発生回路250の出力端子81と接続されており、第2のNMOS62のゲート電極には1次バイアス信号392が印加されている。従って、容量素子5に充電されていた電荷は、第1、第2のNMOS61、62を通じて放電され、比較回路10の第1の入力端子83が接続されている共通接続点91の電位V_{ct}が徐々に下がる。

【0055】

電位V_{ct}が、比較回路10の第2の入力端子84に入力されている電位V_{ref0}より下がると、比較回路10の出力端子85の電位が反転し、第2の計数制御信

号308が出力される。第1の計数制御信号304を受けてから第2の計数制御信号308を出力するまでの計数時間 T_{ct} は、容量素子5に充電された電荷の放電速度で定まり、この放電速度は1次バイアス信号392に依存して定まる。

【0056】

比較回路10から第2の計数制御信号308が出力されると、計数回路214は入力信号300の計数を停止し、計数結果を6ビットの計数結果信号370として出力する。補正信号発生手段216は、第2の計数制御信号308を受けて、計数結果信号370を取り込み、上述した所定の判定処理を行い、バイアス補正信号380を出力する。

【0057】

例えば、計数結果が“20”の場合は、ビット信号383, 385が低レベル信号となり、他のビット信号381, 382, 384, 386はいずれも高レベル信号となる。すなわち、電流調整PMOS群の中で、PMOS15, 17のみが導通状態となるので、 $I_{s2} = I_3 + I_5 = (5 I_{s1} / 8)$ となり、この電流値 I_{s2} とNMOS58で定まる内部バイアス信号395が、DLL回路100に含まれる各定電流源となるトランジスタのゲート電極に供給される。

【0058】

本実施形態のバイアス発生手段200に含まれるバイアス制御手段210は、第1のバイアス発生回路250で生成される1次バイアス信号392に依存して定まる時間だけ入力信号を計数し、計数結果に基づいてDLL回路100に含まれる各定電流源に供給する内部バイアス信号395を第2のバイアス発生回路270で生成するようにしている。そして、第2のバイアス発生回路270が生成する内部バイアス信号395は、計数回路214の計数結果が小さくなると、定電流源の電流値が小さくなるように補正される。

【0059】

上述の計数制御手段220の構成から分かるとおり計数時間 T_{ct} は入力信号300と関わりなく一定であるので、入力信号300の周波数が低いほど計数結果は小さくなり、DLL回路100に含まれる各定電流源の電流値を入力信号300の周波数に応じて自動的に小さくできる。しかも、入力信号300の周波数が

大幅に低くなった場合でも、補正した内部バイアス信号395により各定電流源に流れる電流値 I_{s2} が差動型増幅回路の正常動作に必要な最小電流値以下にならないように補正信号発生手段216で制御されており、動作電流不足で差動型増幅回路が動作不良になることもない。

【0060】

また、計数時間 T_{ct} は、1次バイアス信号392に依存して定まる構成になっているので、第1のバイアス発生回路250の構成要素、特に抵抗素子1の抵抗値が設計値から例えば大きい方にずれて I_{s1} が小さくなると、1次バイアス信号392のレベルも下がり、図3の計数制御手段220に含まれる容量素子5の放電経路にあるNMOS62を流れる電流も小さくなるので、計数時間 T_{ct} は長くなる。従って、入力信号300の周波数が同じでも、計数回路214の計数結果は大きくなる。逆に、抵抗素子1の抵抗値が小さい方にずれて I_{s1} が大きくなると、計数時間 T_{ct} は短くなり、計数回路214の計数結果は小さくなる。

【0061】

すなわち、第2のバイアス発生回路270で生成される内部バイアス信号392は、1次バイアス信号392に設計値からのズレが多少生じて、そのズレに応じて計数時間 T_{ct} が自動的に修正され、1次バイアス信号392のズレを含めて適切なレベルに補正される。

【0062】

次に、本発明の第2の実施形態のDLL回路について説明する。

【0063】

図5は、本実施形態のDLL回路110のブロック図である。

【0064】

図5を参照すると、本実施形態のDLL回路110は、入力信号300のデューティを所定のデューティ（例えば49%～51%）になるように補正してデューティ補正済み信号301を出力する第2のデューティ補正手段180と、デューティ補正済み信号301に基づいて位相の異なる m 個の移相処理信号310を生成する移相手段120と、入力信号300と出力からのフィードバック信号330の位相を比較して位相差を検出し、この検出した位相差に基づいて位相制御

信号340を出力する位相比較手段140と、移相手段120で生成されたm個の移相処理信号310と位相制御信号340に基づいて入力信号300と所定の位相関係を有する位相補正済み信号320を出力する位相合成手段160と、この位相補正済み信号160のデューティを所定のデューティになるように再度補正して位相同期信号400を出力する第1のデューティ補正手段170を含んで構成され、更にこれらの各手段に含まれる差動型増幅回路の定電流源の電流値を制御するバイアス発生手段200を備えている。

【0065】

本実施形態のDLL回路110は移相手段120の前段に入力信号300のデューティを所定のデューティになるように補正する第2のデューティ補正手段180を備えている点が、第1の実施形態のDLL回路100と異なるだけであるので詳細な説明は省略する。本実施形態のDLL回路110は、入力信号300のデューティを予め補正しておくことにより、更に精度の高い位相調整ができるという効果が得られる。

【0066】

次に、本発明の第3の実施形態のDLL回路について説明する。

【0067】

第1、第2の実施形態のDLL回路100、110では、各差動型増幅回路の定電流源の電流値を、入力信号300の周波数に応じてバイアス発生手段に200により補正した内部バイアス信号395で定まる電流値 I_{s2} になるようにしたが、本実施形態のDLL回路は、特定の差動型増幅回路の定電流源の電流値を、入力信号300の周波数如何に関わらず一定の電流値となるようにしている。

【0068】

すなわち、本実施形態のDLL回路は、その基本構成はバイアス発生手段200の内部構成も含めて、第1、第2の実施形態のDLL回路100、110と同じであるが、各機能ブロックの最終段差動型増幅回路部の定電流源に対しては1次バイアス信号392を供給するようにした点が異なっている。

【0069】

例えば、図6は、DLL回路100、110に含まれる一機能ブロック190

の最終段部分の模式的な回路図である。この機能ブロック 1 9 0 は、内部処理部 1 9 1 と、最終段差動型増幅回路部 1 9 3 と、レベル変換部 1 9 5 と、信号出力部 1 9 7 を含んで構成されているものとする。

【 0 0 7 0 】

このとき、内部処理部 1 9 1 に含まれる差動型増幅回路の定電流源となる NMOS 7 1 のゲート電極端子 7 1 G は、第 2 のバイアス発生回路 2 7 0 の出力端子 8 2 と接続され、内部バイアス信号 3 9 5 が印加される。

【 0 0 7 1 】

また、最終段差動型増幅回路部 1 9 3 は、抵抗素子 7, 8 と NMOS 6 5, 6 6, 7 2 で構成されており、抵抗素子 7, 8 の各第 1 の端子はいずれも VDD に接続され、抵抗素子 7 の第 2 の端子は NMOS 6 5 のドレイン電極端子とまた抵抗素子 8 の第 2 の端子は NMOS 6 6 のドレイン電極端子とそれぞれ共通接続され、NMOS 6 5, 6 6 の各ソース電極端子は NMOS 7 2 のドレイン電極端子も含めて共通接続され、NMOS 7 2 のソース電極端子は GND に接続されている。抵抗素子 7, 8 と NMOS 6 5, 6 6 で差動型増幅部を構成し、NMOS 7 2 が定電流源となっている。この定電流源となる NMOS 7 2 のゲート電極端子 7 2 G は、第 1 のバイアス発生回路 2 5 0 の出力端子 8 1 と接続され、1 次バイアス信号 3 9 2 が印加される。

【 0 0 7 2 】

すなわち、本実施形態の DLL 回路に含まれる機能ブロックの最終段差動型増幅回路部 1 9 3 の定電流源となる NMOS 7 2 のゲート電極には、入力信号周波数に依存しない 1 次バイアス信号 3 9 2 が印加されるように構成されているので、低い入力信号周波数においても最終段差動型増幅回路部 1 9 3 を確実に動作させることができる。

【 0 0 7 3 】

次に、本発明の第 4 の実施形態の DLL 回路について説明する。

【 0 0 7 4 】

本実施形態の DLL 回路も、基本構成は第 1, 第 2, 第 3 の実施形態と同様であるが、少なくとも位相同期信号 4 0 0 を出力する第 1 のデューティ補正手段 1

70の信号出力部は、図6の構成を備えている。すなわち、本実施形態のDLL回路に含まれる第1のデューティ補正手段170は、内部処理部191と、最終段差動型増幅回路部193と、レベル変換部195と、信号出力部197を含み構成されている。尚、内部処理部191と最終段差動型増幅回路部193については第3の実施形態と同じであるので説明は省略する。

【0075】

レベル変換部195は、第1のPMOS31と、第2のPMOS33と、第3のNMOS67と、第4のNMOS68を含んで構成される。第1のPMOS31と第2のPMOS33それぞれのソース電極端子はいずれもVDDに接続され、第1のPMOS31のドレイン電極端子は第3のNMOS67と第4のNMOS68それぞれのゲート電極端子及び第3のNMOS67のドレイン電極端子と共通接続点95で共通接続され、第2のPMOS33のドレイン電極端子は第4のNMOS68のドレイン電極端子と共通接続点96で共通接続され、第3のNMOS67と第4のNMOS68それぞれのソース電極端子はいずれもGNDに接続されており、第3のNMOS67と第4のNMOS68でカレントミラーを構成している。また、第1のPMOS31と第2のPMOS33の各ゲート電極には、最終段増幅回路部193から出力される差動信号が入力され、第2のPMOS33と第4のNMOS68の共通接続点96からレベル変化信号が送出される。

【0076】

信号出力部197は、第3のPMOS35と第4のPMOS37と第5のNMOS69と第6のNMOS73を含んで構成されている。第3のPMOS35のソース電極端子はVDDに、また第6のNMOS73のソース電極端子はGNDにそれぞれ接続されている。第3のPMOS35のドレイン電極端子は第4のPMOS37のソース電極端子と、第4のPMOS37のドレイン電極端子は第5のNMOS69のドレイン電極端子と共通接続点98で、第5のNMOS69のソース電極端子は第6のNMOS73のドレイン電極端子とそれぞれ共通接続されている。また、第4のPMOS37と第5のNMOS69の各ゲート電極は共通接続点97で共通接続され、この共通接続点97はレベル変換部195の共通

接続点 9 6 と接続されている。更に、第 4 の PMOS 3 7 と第 5 の NMOS 6 9 のそれぞれのドレイン電極端子が共通接続された共通接続点 9 8 から機能ブロック 1 9 0 の出力信号が出力される。

【 0 0 7 7 】

また、第 3 の PMOS 3 5 のゲート電極端子 3 5 G は第 2 のバイアス発生回路 2 7 0 の出力端子 8 2 と接続され、第 6 の NMOS 7 3 のゲート電極端子 7 3 G は第 1 のバイアス発生回路 2 5 0 の出力端子 8 1 と接続されて、それぞれのゲート電極に内部バイアス信号 3 9 5 と 1 次バイアス信号 3 9 2 が印加される。

【 0 0 7 8 】

本実施形態の DLL 回路においては、少なくとも第 1 のデューティ補正手段 1 7 0 に含まれる信号出力部 1 9 7 を構成する第 3 の PMOS 3 5 のゲート電極に内部バイアス信号 3 9 5 が、また第 6 の NMOS 7 3 のゲート電極に 1 次バイアス信号 3 9 2 がそれぞれ印加されているので、内部バイアス信号 3 9 5 のレベルが下がると、信号出力部 1 9 7 の反転しきい値が実質的に上昇する。従って、DLL 回路への入力信号 3 0 0 の周波数が低下して内部処理部 1 9 1 の定電流源の電流値が下がり、内部処理部 1 9 1 の差動型増幅回路の動作ポイント（信号波形の中心である、動作波形のクロスポイント）のレベルが上昇しても、信号出力部 1 9 7 の反転しきい値も同様に実質的に上昇するので信号出力部 1 9 7 は確実に動作して出力信号を CMOS レベルのフルスイング波形にでき、機能ブロック間での信号の受け渡しを安定して行うことができる。

【 0 0 7 9 】

尚、本発明は上述の実施形態の説明に限定されるものでなく、その要旨の範囲内で種々変更が可能であることは言うまでもないことである。例えば、移相手段 1 2 0 で何個の互いに位相の異なる移相処理信号を生成するか、計数回路 2 1 4 をどのように構成するか（カウンタのビット数等を含めて）、第 2 のバイアス発生回路 2 7 0 に含まれる電流調整トランジスタ群をどのように構成するか等は、必要に応じて適宜設計すればよい。

【 0 0 8 0 】

【発明の効果】

本発明のDLL回路は、入力信号の周波数に応じてDLL回路に含まれる差動型増幅回路の定電流源の電流値を自動的に適正な値に制御でき、広い入力信号周波数に対応しながら、安定動作を維持でき且つ入力信号周波数に応じてその消費電力を効率よく低減できるという効果が得られる。

【0081】

また、少なくとも各機能ブロックの最終段差動型増幅回路部の定電流源のような特定の素子に対しては、入力信号周波数と関わりのない1次バイアス信号を供給することで、入力信号周波数と関わりなく各機能ブロックを確実に動作させることができる。

【0082】

更に、信号出力部を内部バイアス信号で制御されるトランジスタと1次バイアス信号で制御されるトランジスタを含めて構成することで、出力信号を確実にCMOSレベルのフルスイング波形にでき、機能ブロック間での信号の受け渡しを安定して行うことができるという効果も得られる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態のDLL回路を説明するための図で、(a)、(b)は、それぞれDLL回路の概略構成と、このDLL回路に含まれるバイアス発生手段の概略構成を示すブロック図である。

【図2】

図1(b)の第1及び第2のバイアス発生回路250、270の具体的な回路の一例を示す回路図である。

【図3】

図1(b)の計数制御手段220の具体的な回路の一例を示す回路図である。

【図4】

計数回路と補正信号発生手段を説明するための図で(a)、(b)はそれぞれ概略ブロック図と、計数回路の計数結果と第2のバイアス発生回路のPMOS19を流れる電流値 I_{s2} との関係の一例を示すグラフである。

【図5】

本発明の第 2 の実施形態の D L L 回路のブロック図である。

【図 6】

本発明の D L L 回路に含まれる一機能ブロックの最終段部分の模式的な回路図である。

【図 7】

特開平 9 - 1 7 1 7 9 号公報に開示された D L L 回路の構成を示すブロック図である。

【図 8】

特表平 9 - 5 1 2 9 6 6 号公報に開示されている D L L 回路の構成を示すブロック図である。

【図 9】

特表平 9 - 5 1 2 9 6 6 号公報に開示されている D L L 回路の主な構成要素の一つである位相検出器の回路図である。

【図 1 0】

特表平 9 - 5 1 2 9 6 6 号公報に開示されている D L L 回路の主な構成要素の一つであるデューティ・サイクル補正増幅器の回路図である。

【図 1 1】

特表平 9 - 5 1 2 9 6 6 号公報に開示されている D L L 回路の他の構成要素であるフェーズ・シフタのブロック図である。

【図 1 2】

図 1 1 のフェーズ・シフタに含まれる位相補間器のブロック図である。

【図 1 3】

計数制御手段に関連する主な信号の模式的なタイミングチャートである。

【符号の説明】

- 1, 7, 8 抵抗素子
- 2 ダイオード
- 5 容量素子
- 1 0 比較回路
- 1 1 ~ 2 1 PMOS

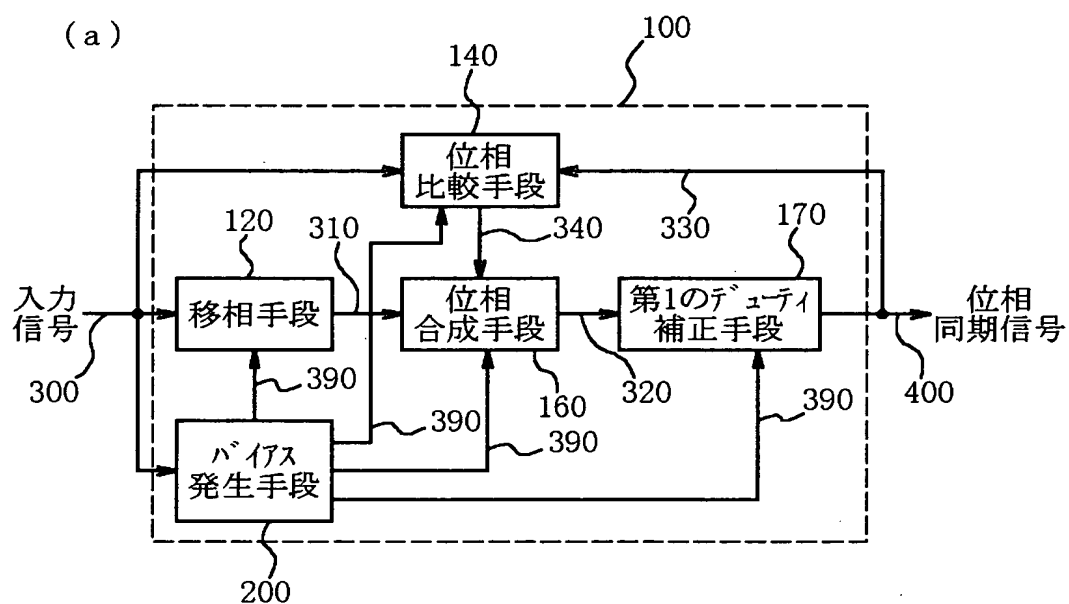
5 1 ~ 5 8, 6 5, 6 6, 7 1, 7 2 N M O S
 6 1 第 1 の N M O S
 6 2 第 2 の N M O S
 8 1, 8 2 出力端子
 1 0 0, 1 1 0 D L L 回路
 1 2 0 移相手段
 1 4 0 位相比較手段
 1 6 0 位相合成手段
 1 7 0 第 1 の デューティ 補正手段
 1 8 0 第 2 の デューティ 補正手段
 2 0 0 バイアス 発生手段
 2 1 0 バイアス 制御手段
 2 1 2 制御回路
 2 1 4 計数回路
 2 1 6 補正信号 発生手段
 2 2 0 計数制御手段
 2 5 0 第 1 の バイアス 発生回路
 2 7 0 第 2 の バイアス 発生回路
 3 0 0 入力信号
 3 0 4, 3 0 5, 3 0 6 第 1 の 計数制御信号
 3 0 8 第 2 の 計数制御信号
 3 1 0 移相処理信号
 3 2 0 位相補正 済み信号
 3 4 0 位相制御信号
 3 8 0 バイアス 補正信号
 3 9 0 バイアス 信号
 3 9 2 1 次 バイアス 信号
 3 9 5 内部 バイアス 信号
 4 0 0 位相同期信号

特2000-117007

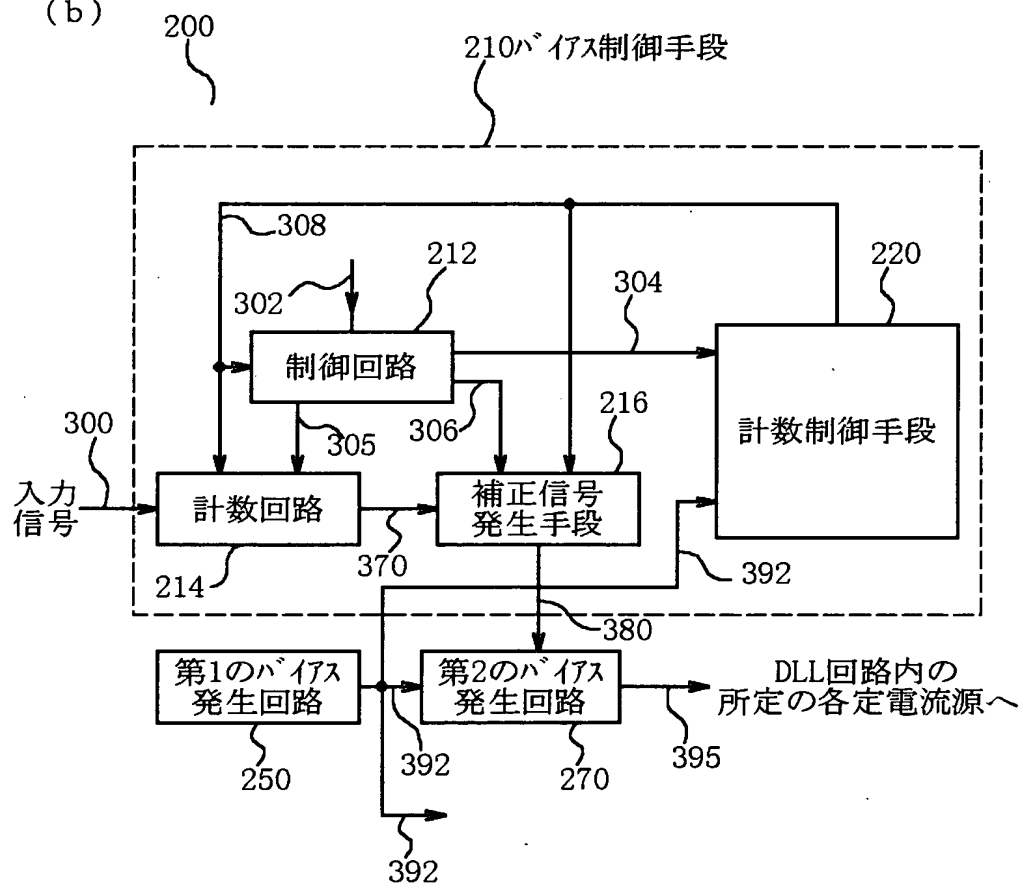
【書類名】 図面

【図 1】

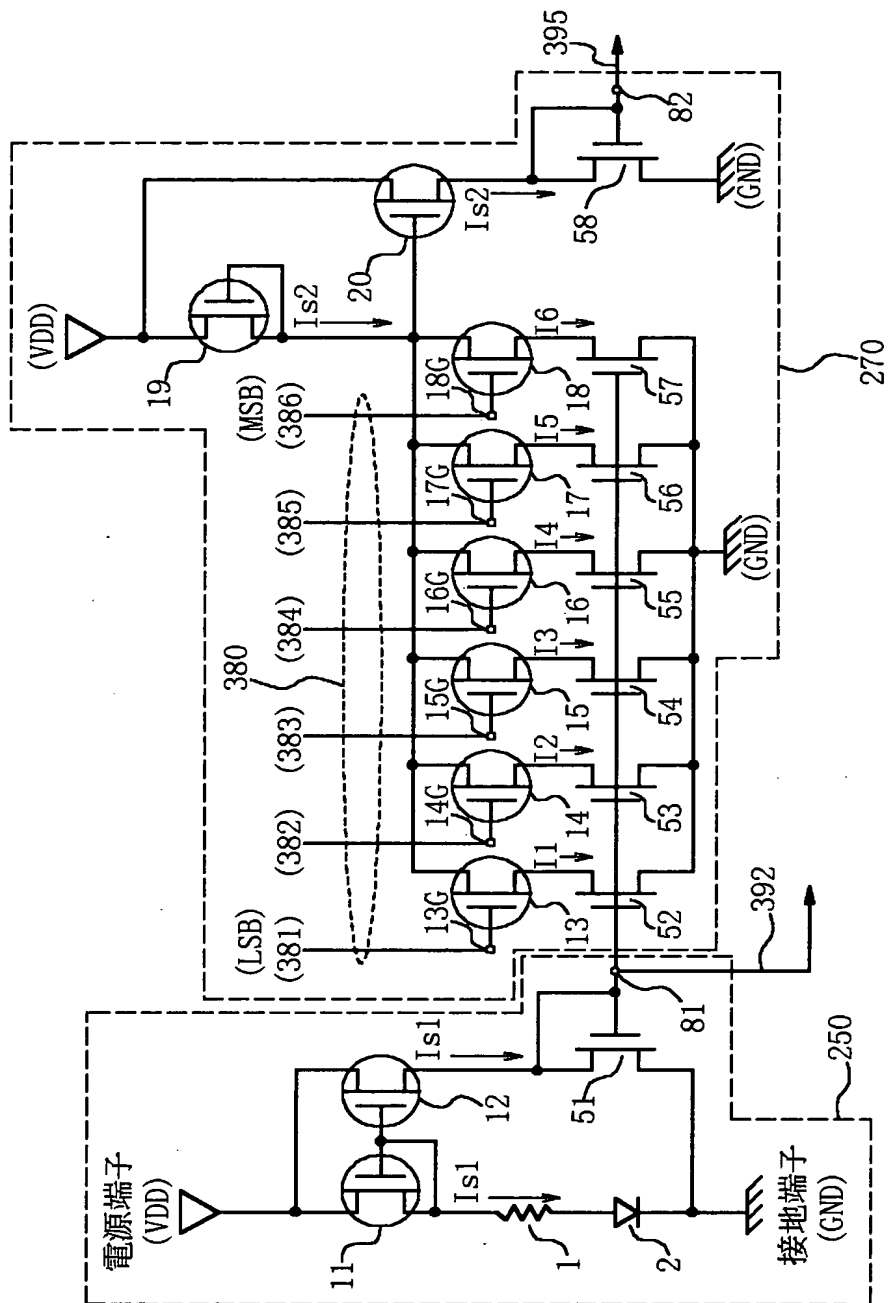
(a)



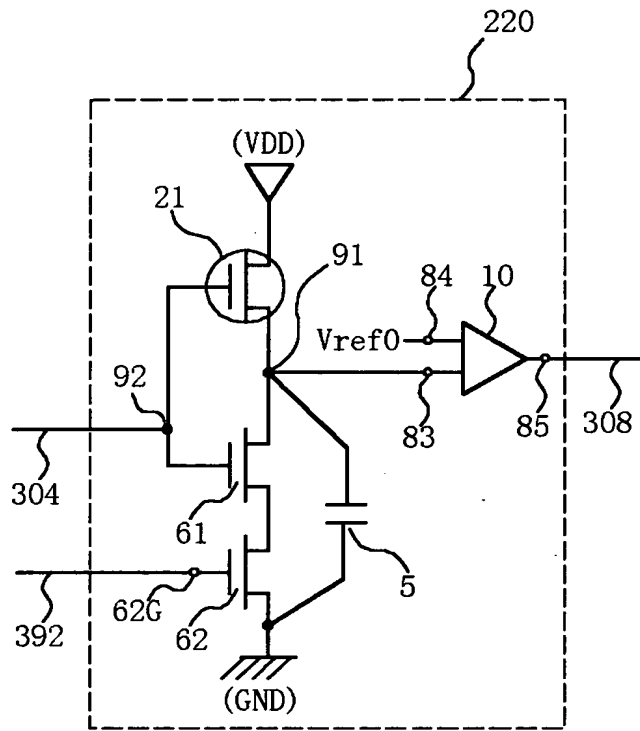
(b)



【図2】

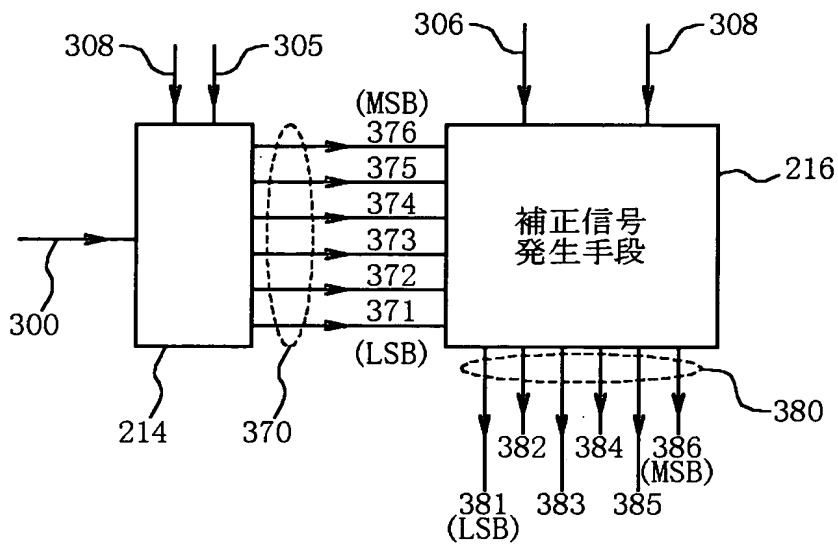


【図 3】

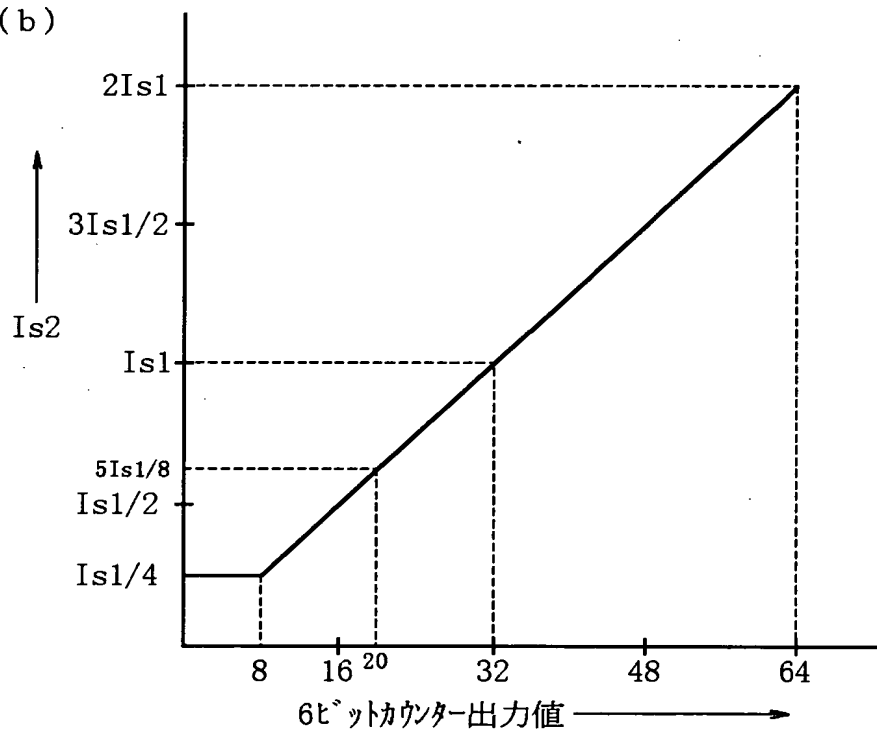


【図 4】

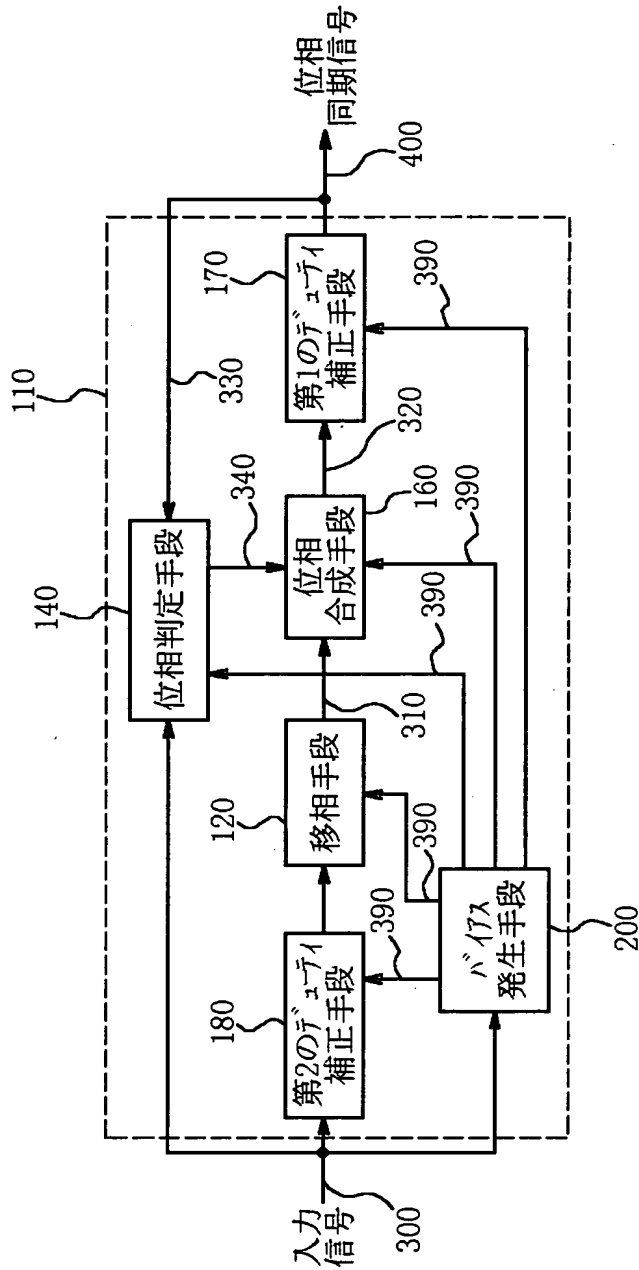
(a)



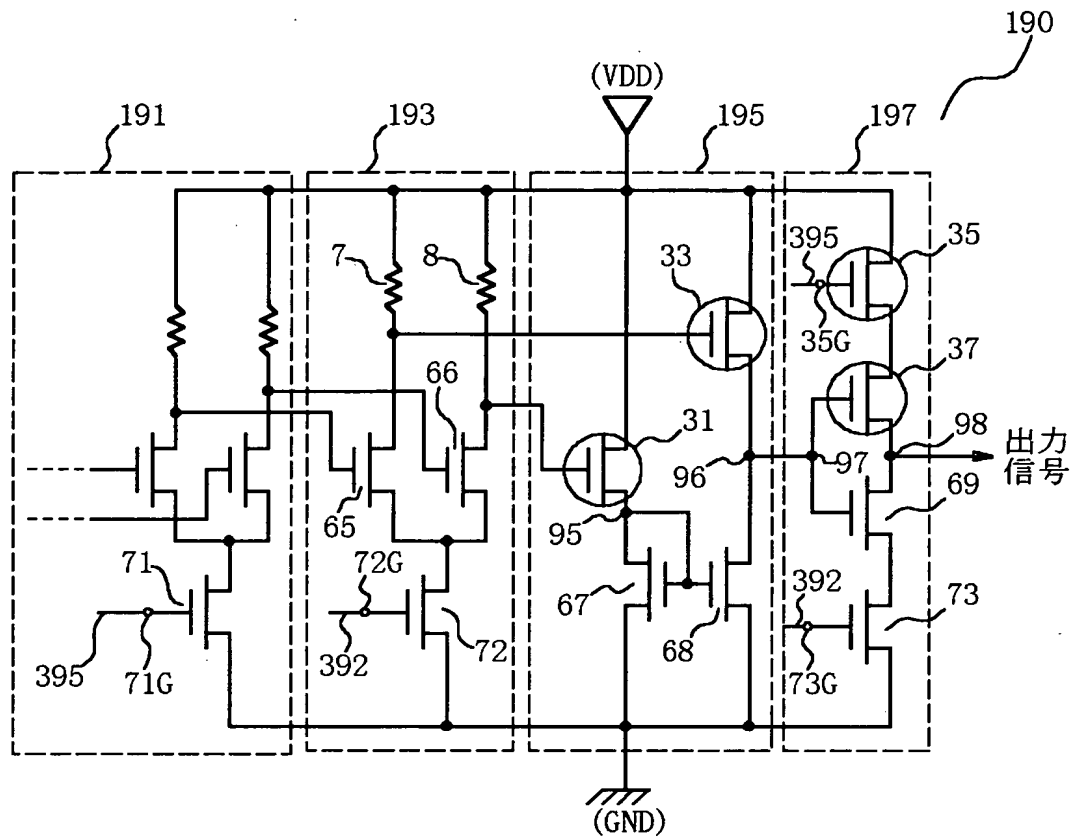
(b)



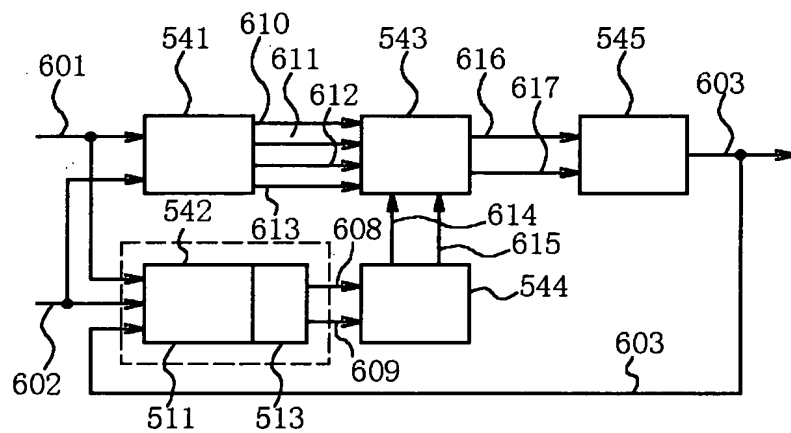
【図 5】



【図 6】

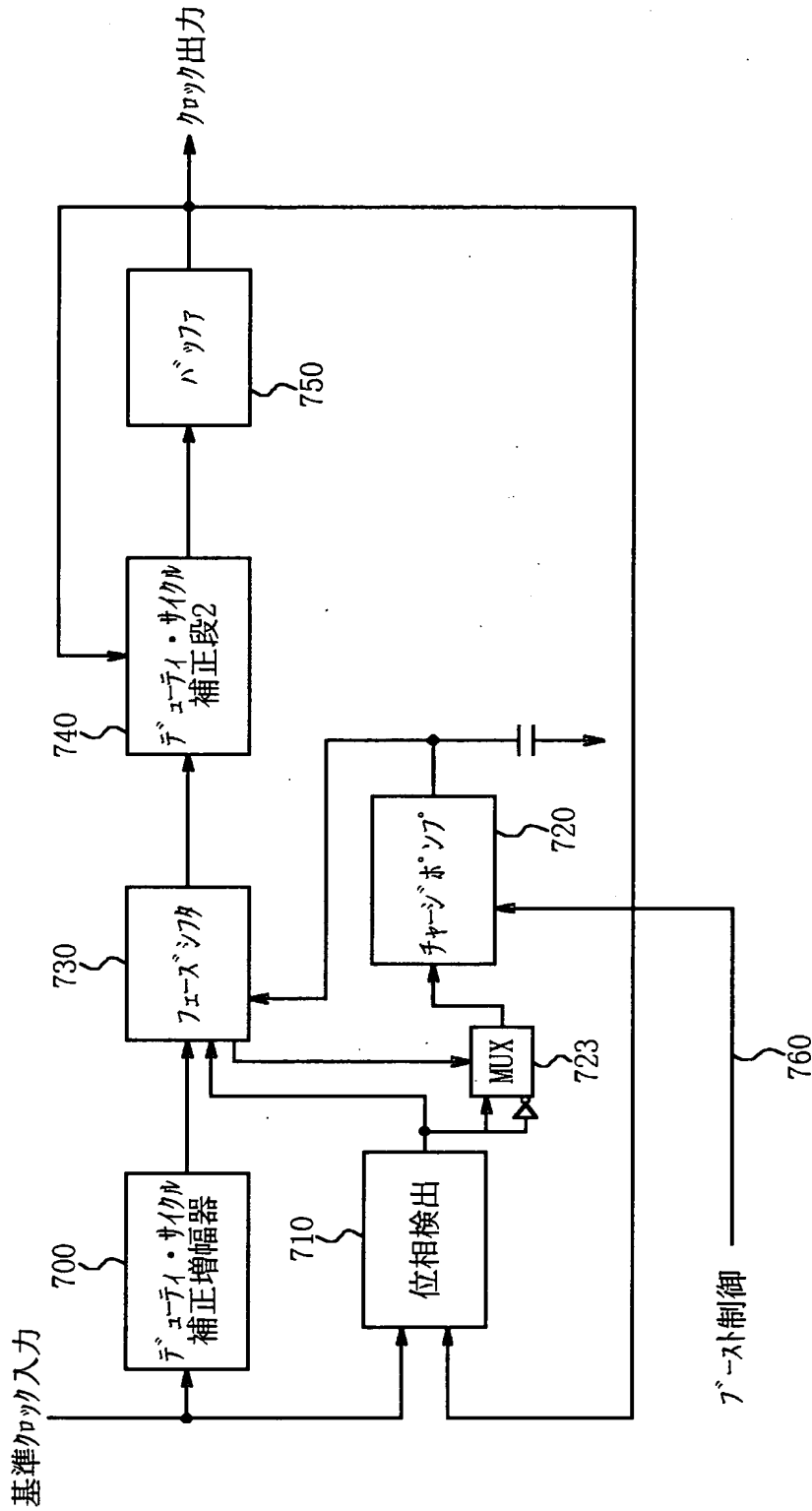


【図 7】

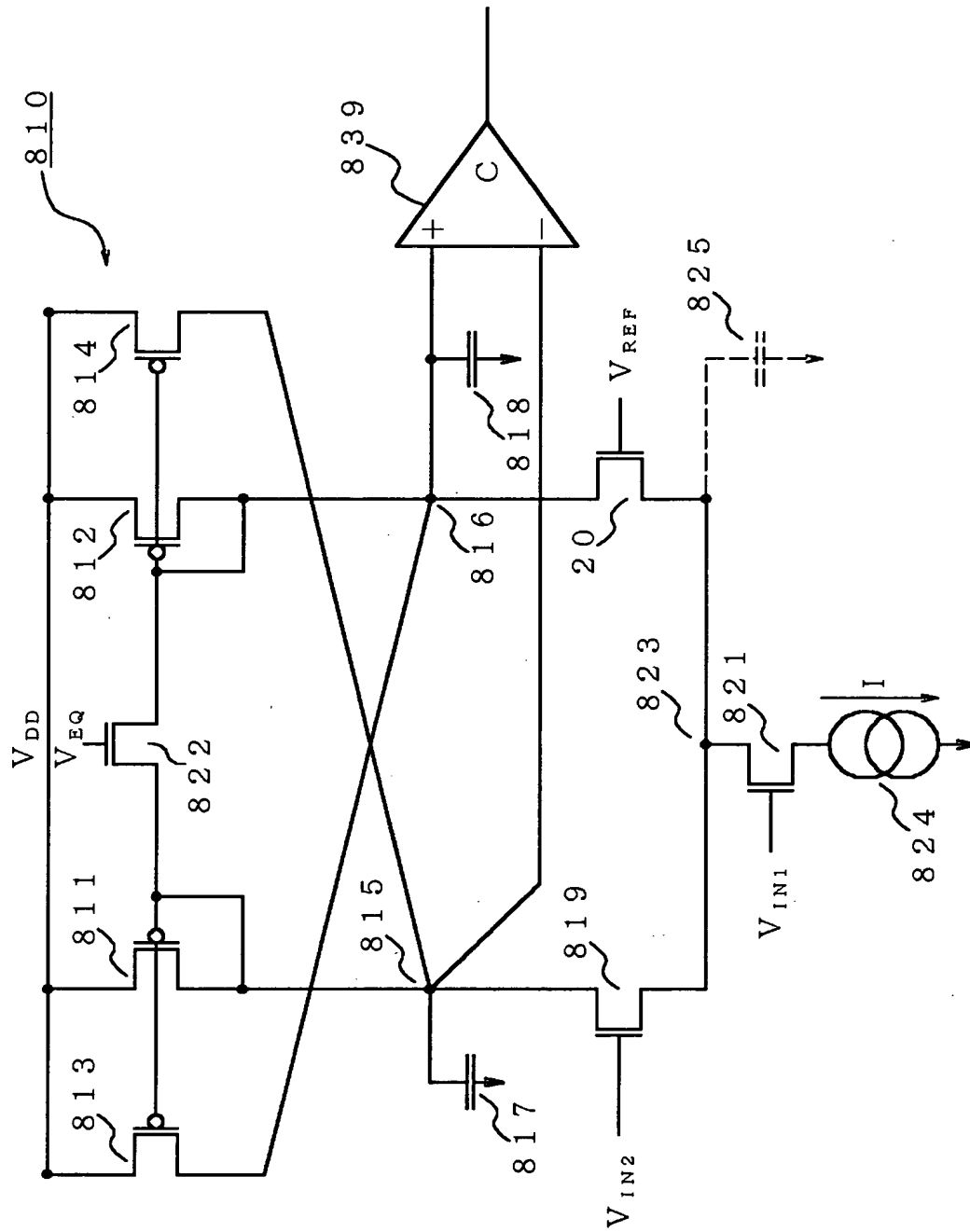


- 511 位相判定回路
- 513 レベルシフト回路
- 541 4相基本クロック発生回路
- 542 位相検出回路
- 543 位相シフト回路
- 544 位相調整量決定回路
- 545 出力回路

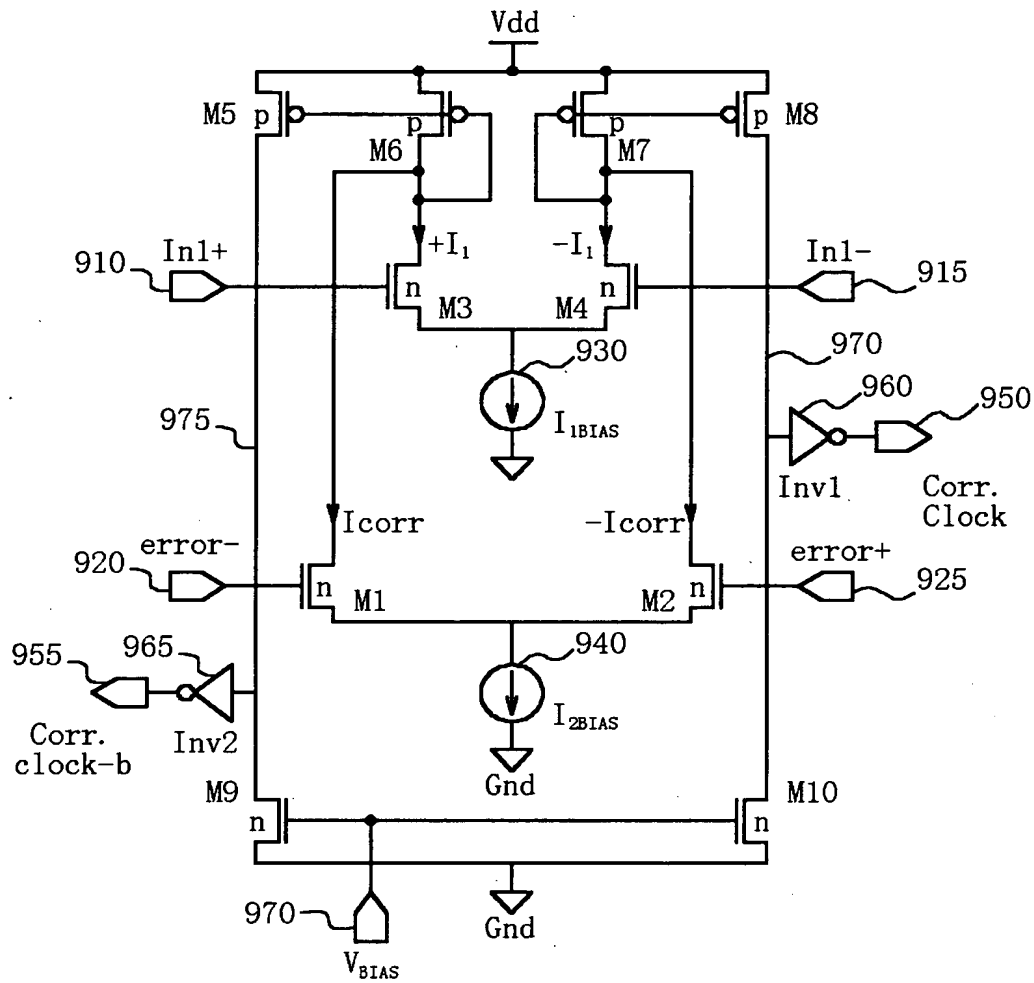
【図 8】



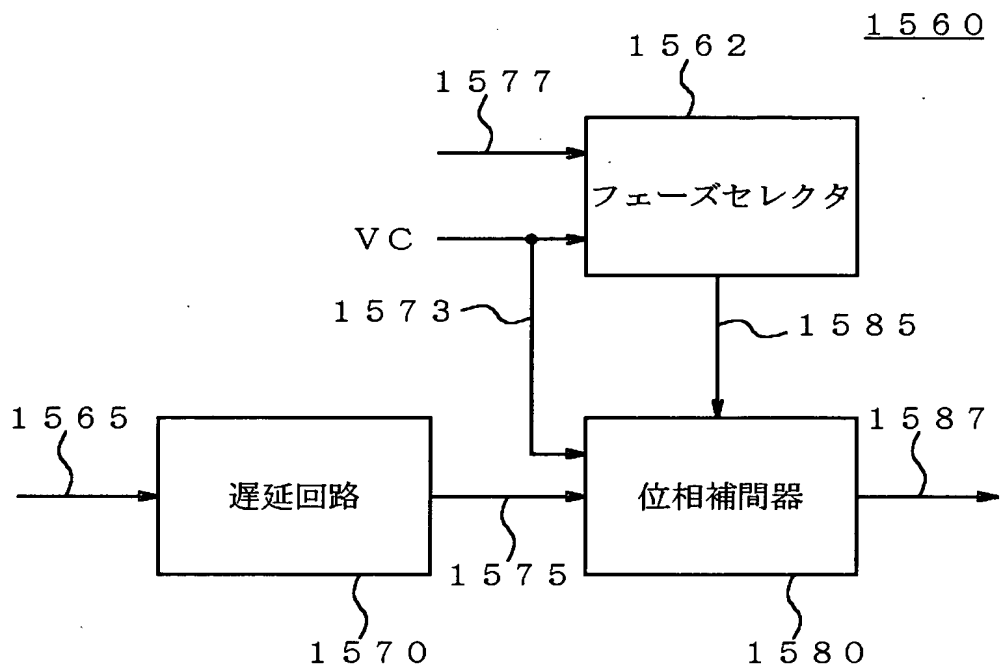
【図9】



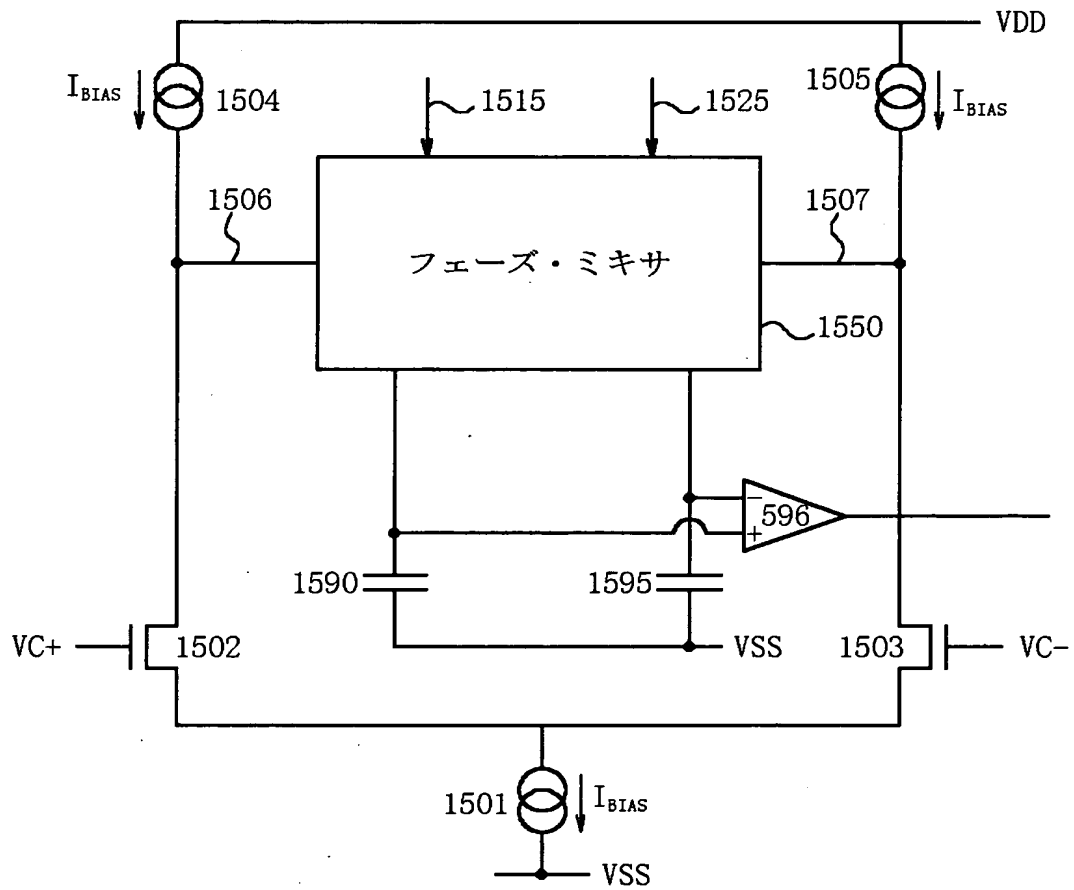
【図 10】



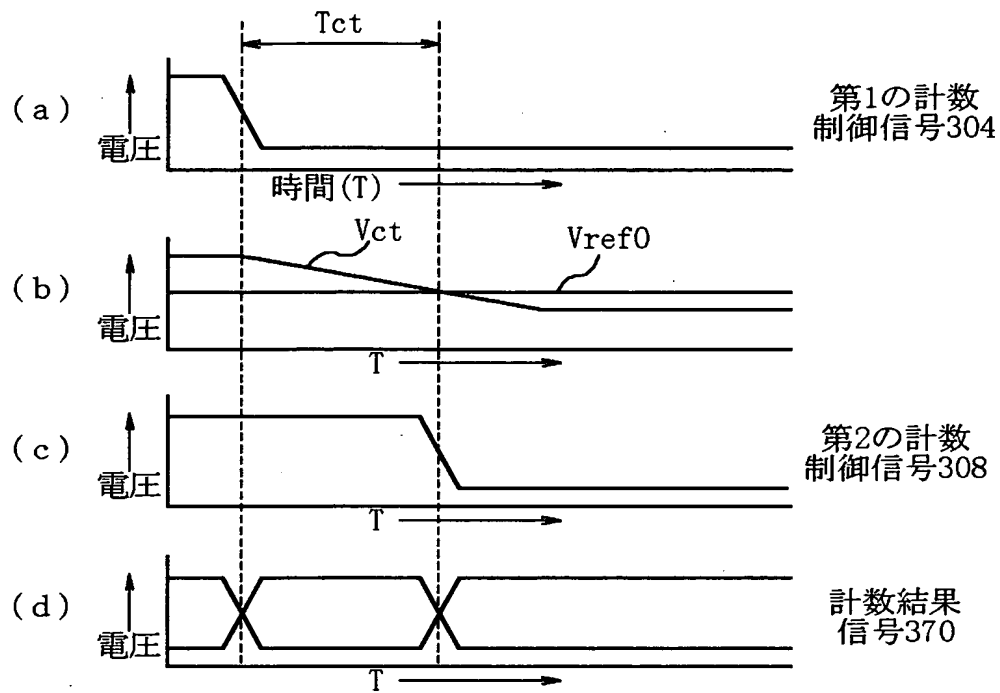
【图 1 1】



【図 1 2】



【図 13】



【書類名】 要約書

【要約】

【課題】 内蔵する各差動型増幅回路の定電流源の電流値を入力信号周波数に応じて自動的に変化させ、広い入力信号周波数に対応しながら、入力信号周波数に応じて消費電力を低減できるD L L回路を提供する。

【解決手段】 移相手段1 2 0と、位相比較手段1 4 0と、位相合成手段1 6 0と、第1のデューティ補正手段1 7 0と、バイアス発生手段2 0 0を含みD L L回路1 0 0を構成する。また、バイアス発生手段2 0 0は、第1のバイアス発生回路2 5 0と、バイアス制御手段2 1 0と、第2のバイアス発生回路2 7 0を含み構成する。更に、バイアス制御手段2 1 0は、制御回路2 1 2と、計数制御手段2 2 0と、計数回路2 1 4と、補正信号発生手段2 1 6とを含み構成する。

【選択図】 図1

認定・付加情報

特許出願の番号	特願2000-117007
受付番号	50000489707
書類名	特許願
担当官	第七担当上席 0096
作成日	平成12年 4月19日

<認定情報・付加情報>

【提出日】	平成12年 4月18日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社